

PAT-NO: JP403091721A
DOCUMENT-IDENTIFIER: JP 03091721 A
TITLE: ACTIVE MATRIX SUBSTRATE
PUBN-DATE: April 17, 1991

INVENTOR-INFORMATION:
NAME
SAITO, HISAFUMI
TANAKA, HIROHISA
MORIMOTO, HIROSHI

ASSIGNEE-INFORMATION:
NAME SHARP CORP COUNTRY
N/A

APPL-NO: JP01228584
APPL-DATE: September 4, 1989

INT-CL (IPC): G02F001/136, G02F001/1345
US-CL-CURRENT: 349/158, 349/FOR.124

ABSTRACT:

PURPOSE: To preclude the penetration of an etchant and to prevent a conductor from being broken by making the part where a gate electrode and a source electrode cross each other and the joined part of a pixel electrode for the drain electrode larger in line width than that of the source electrode and drain electrode, and coating the end surfaces of the source electrode and drain electrode.

CONSTITUTION: The active matrix substrate is so formed

that transparent conductive thin film 7 which is deposited on a source conductor and the line width of the source electrode 5 and drain electrode 6 is larger than that of the source conductor, source electrode 5, and drain electrode 6. Therefore, none of the end surfaces of the source conductor, source electrode 5, and drain electrode 6 is exposed. Consequently, metallic films which form the source conductor, source electrode 5, and drain electrode 6 are never overetched owing to the penetration of the etchant in a process wherein the channel part of a TFT is formed, so the metallic films do not become narrow. Therefore, no conductor breaking is caused at the step part between the pixel electrode 8 and drain electrode 6, the intersection part between the gate electrode 6 and source electrode 5, etc.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-91721

⑤ Int. Cl.⁵G 02 F 1/136
1/1345

識別記号

5 0 0

庁内整理番号

9018-2H
7610-2H

⑬ 公開 平成3年(1991)4月17日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 アクティブマトリクス基板

⑯ 特 願 平1-228584

⑰ 出 願 平1(1989)9月4日

⑱ 発 明 者 斉 藤 尚 史 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑱ 発 明 者 田 仲 広 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑱ 発 明 者 森 本 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

液晶セル内に形成されたスイッチング素子を選択的に制御することにより前記スイッチング素子に接続された絵素電極を含む絵素を選択的に表示する液晶セルを構成するアクティブマトリクス基板であって、

透明絶縁基板と、

基板の主表面上に所定の幅で形成されたゲート電極と、

前記ゲート電極上に絶縁膜を介して所定の幅で形成された半導体層と、

前記半導体層上に形成され、ソース電極およびドレイン電極を構成する金属薄膜と、

前記ソース電極および前記ドレイン電極上の少なくとも前記ソース電極と前記ゲート電極とが交差する部分の透明導電性薄膜および前記絵素電極となる透明導電性薄膜の前記ドレイン電極に対す

る接合部分のそれぞれの線幅が前記ソース電極と前記ドレイン電極との線幅よりも広くなるように形成され、前記ソース電極と前記ドレイン電極との端面を被覆していることを特徴とする、アクティブマトリクス基板。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、アクティブマトリクス基板に関し、詳しくは、液晶セル内に形成されたスイッチング素子を選択的に制御して絵素電極を含む絵素を選択的に表示する液晶セルを構成するアクティブマトリクス基板に関する。

[従来の技術]

第4図は、従来のアクティブマトリクス基板の等価回路を示した回路図である。第4図を参照して、アクティブマトリクス基板には、行線R1、R2、R3…が等間隔で平行に形成され、行線とほぼ直交して列線C1、C2、C3…が等間隔でほぼ平行に形成される。行線および列線の各交差位置において薄膜トランジスタ20(以下TFT

20という。)が形成される。各TFT20は、その位置においてゲートは行線に、ソースは列線にそれぞれ接続される。また、行線および列線により形成された領域をほぼ埋めるように絵素電極8が形成される。絵素電極8と対向側基板との間に液晶が封入され液晶セルが形成される。行線R1, R2, R3, …、列線C1, C2, C3…の各1つを選択してこれらに電圧を印加することにより、その選択された行線および列線の交差点のTFT20がオンとなり絵素は選択的に表示される。

第5図は、従来のアクティブマトリクス基板の平面図である。

第6A図ないし第6D図は第5図におけるC-C'で示されたソース配線部分の断面図を製造工程に従って示したものである。

第7A図ないし第7D図は第5図におけるD-D'で示されたTFT20の断面図を製造工程に従って示したものである。

第5図ないし第7D図を参照して、以下に従来

のアクティブマトリクス基板の製造工程を示す。スイッチング素子としてのTFT20は、第6A図および第7A図に示すように、ガラス基板等の透明絶縁基板1上に金属薄膜からなるゲート電極2がスパッタリングなどにより成膜される。その後、全面に窒化シリコンなどの透明絶縁膜などによるゲート絶縁膜3が形成される。その上にアモルファスシリコンなどによる半導体層4と金属薄膜が成膜される。次に、第6D図および第7D図に示すように、半導体層4と金属薄膜がパターニングされてソース配線およびソース電極5ならびにTFT20となる。続いて、第6C図および第7C図に示すように、ソース配線およびソース電極5上に透明導電性薄膜17が堆積され、最後に、第6C図に示すように、透明導電性薄膜17が、ソース配線およびソース電極5ならびにドレイン電極6と同一線幅でパターニング、エッチングされる。これにより、ソース配線およびソース電極5は、2層構造となる。また、第7D図に示すように、TFT20は透明導電性薄膜17がパター

ニングされた後、チャネル形成が行なわれる。ドレイン電極16に接する部分は、パターニング、エッチングされて絵素電極8となる。

〔発明が解決しようとする課題〕

前述のように、従来のアクティブマトリクス基板では、TFT20のチャネル部を形成する工程において、ソース配線、ソース電極5およびドレイン電極6の端面が露出している。この状態でTFT20のチャネル部を形成するためのエッチングが行なわれると、ソース配線、ソース電極5およびドレイン電極6の露出している部分にエッチング液が染込む。この染込みにより、ソース配線、ソース電極5およびドレイン電極6を構成している金属薄膜が過度にエッチングされて金属薄膜が細るという不都合が生じていた。金属薄膜の細りは、断線につながる。断線は、ドレイン電極6と絵素電極8との接合部や、ゲート電極6とソース電極5との交差部などで生じやすい。これは、ドレイン電極6と絵素電極8との接合部やゲート電極6とソース電極5との交差部などの電極薄膜が

ほぼ垂直に形成されている部分では、電極薄膜の膜厚が、水平に形成された電極薄膜の膜厚に比べて薄いため、エッチングが過度に行なわれると断線を起こしやすいためである。断線が発生すると、液晶表示装置の表示特性に悪影響を及ぼす。すなわち、断線は表示むらなどの表示不良の原因となっていた。

つまり、従来においては、液晶表示装置の表示不良の原因となるアクティブマトリクス基板の電極部の断線を有効に防止するのが困難であり、液晶表示装置の表示特性の向上を図ることができなかった。

この発明は、上記のような課題を解決するためになされたもので、液晶表示装置の表示特性の向上を図ることが可能なアクティブマトリクス基板を提供することを目的とする。

〔課題を解決するための手段〕

この発明にかかるアクティブマトリクス基板は、透明絶縁基板と、透明絶縁基板の主表面上に所定の幅で形成されたゲート電極と、ゲート電極上に

絶縁膜を介して所定の幅で形成された半導体層と、半導体層上に形成され、ソース電極およびドレイン電極を構成する金属薄膜と、ソース電極およびドレイン電極上の少なくともソース電極とゲート電極とが交差する部分の透明導電性薄膜および絵素電極となる透明導電性薄膜のドレイン電極に対する接合部分のそれぞれの線幅がソース電極とドレイン電極との線幅よりも広くなるように形成され、ソース電極とドレイン電極との端面を被覆していることを特徴とする。

【作用】

この発明におけるアクティブマトリクス基板では、少なくともソース電極とゲート電極とが交差する部分の透明導電性薄膜および絵素電極となる透明導電性薄膜のドレイン電極に対する接合部分のそれぞれの線幅がソース電極およびドレイン電極の線幅よりも広くなるように形成され、ソース電極とドレイン電極との端面が被覆されるので、エッチング液の染込みがなく断線が防止される。

【発明の実施例】

半導体層および金属薄膜はバターンニングされてソース配線およびソース電極5ならびにTF T 2 0となる。続いて、第2 C 図および第3 C 図に示すように、たとえば、ITOなどの透明導電性薄膜7が、ソース配線およびソース電極5およびドレイン電極6の線幅よりも広くバターンニング、エッチングされる。また、第3 図に示すようにTF T 2 0は、透明導電性薄膜7がバターンニング、エッチングされた後、チャネル形成が行なわれ、ドレイン電極6に接する部分はバターンニングされ絵素電極8となる。

上述のように、この発明のアクティブマトリクス基板では、ソース配線、ソース電極5およびドレイン電極6に堆積された透明導電性薄膜7の線幅が、ソース配線、ソース電極5およびドレイン電極6の線幅よりも広く形成されるので、ソース配線、ソース電極5およびドレイン電極6の端面が露出することがない。このため、TF T 2 0のチャネル部を形成する工程の際にエッチング液の染込みにより、ソース配線、ソース電極5および

第1 図は、本発明の一実施例を示したアクティブマトリクス基板の平面図である。

第2 A 図ないし第2 D 図は、第1 図におけるA-A' で示されたソース配線部分の断面を製造工程に従って示した断面図である。

第3 A 図ないし第3 D 図は、第1 図におけるB-B' で示されたTF T 2 0の断面を製造工程に従って示した断面図である。

第1 図ないし第3 D 図を参照して、製造工程について説明する。まず、第2 A 図および第3 A 図に示すように、たとえば、ガラス基板等の透明絶縁基板1上にゲート配線およびゲート電極2となるTa、Mo、Alなどの金属薄膜がスパッタリングにより形成され、ゲート絶縁膜3となる酸化シリコンなどの透明絶縁膜がCVD等により基板の全面に形成される。さらに、ゲート絶縁膜3上にCVD等によりアモルファスシリコンなどの半導体層4が形成され、スパッタリングなどによりTa、Mo、Alなどの金属薄膜が積層される。次に、第2 B 図および第3 B 図に示すように、半

ドレイン電極6を形成している金属膜が過度にエッチングされて細ることがない。したがって、絵素電極8とドレイン電極6との段差部またはゲート電極6とソース電極5との交差部などで断線が発生することが極めて少なくなり、表示特性の良好な液晶表示装置を構成するためのアクティブマトリクス基板を得ることができる。

【発明の効果】

以上のように、この発明によれば、少なくともゲート電極とソース電極とが交差する部分および絵素電極となる透明導電性薄膜のドレイン電極に対する接合部分のそれぞれの線幅を、ソース電極およびドレイン電極の線幅よりも広くなるように形成してソース電極とドレイン電極との端面を被覆することにより、エッチング液の染込みがなく断線が防止されるので、液晶表示装置の表示特性の向上を図ることができる。

4. 図面の簡単な説明

第1 図は本発明の一実施例を示したアクティブマトリクス基板の平面図、第2 A 図ないし第2 D

図は第1図におけるA-A'で示されたソース配線部分の断面を製造工程に従って示した断面図、第3A図ないし第3D図は第1図におけるB-B'で示されたTFT20の断面を製造工程に従って示した断面図、第4図は従来のアクティブマトリクス基板の等価回路を示した回路図、第5図は従来のアクティブマトリクス基板の平面図、第6A図ないし第6D図は第5図に示したC-C'でのソース配線部分の製造工程を示した断面図、第7A図ないし第7D図は第5図に示したD-D'でのTFT20の製造工程を示した断面図である。

図において、1は透明絶縁基板、2はゲート電極、3は透明絶縁膜、4は半導体層、5はソース電極、6はドレイン電極、7は透明導電性薄膜、8は絵素電極、20はTFTである。

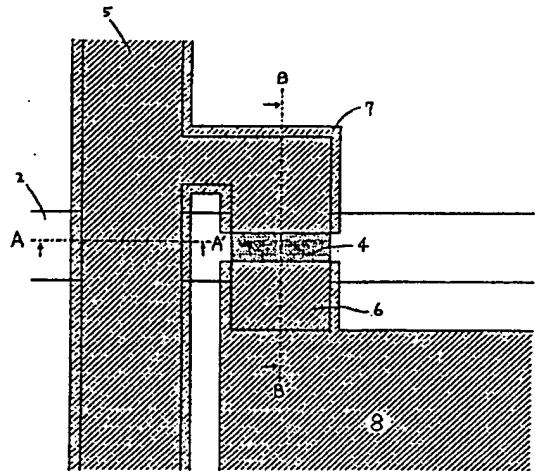
なお、図中、同一符号は同一、または相当部分を示す。

特許出願人 シャープ株式会社

代理人 弁理士 深見 久郎
(ほか2名)



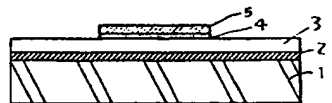
第1図



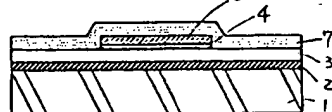
第2A図



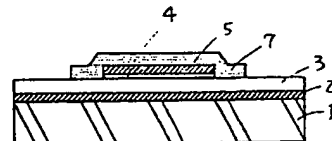
第2B図



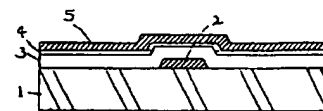
第2C図



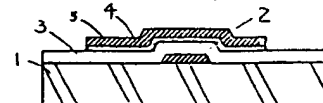
第2D図



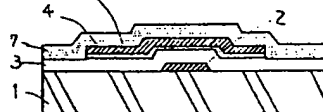
第3A図



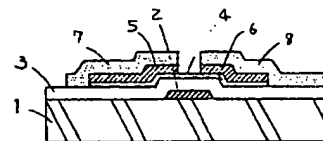
第3B図



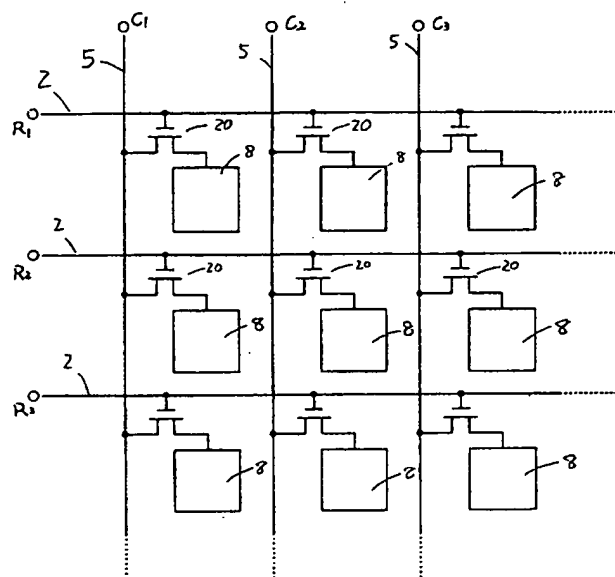
第3C図



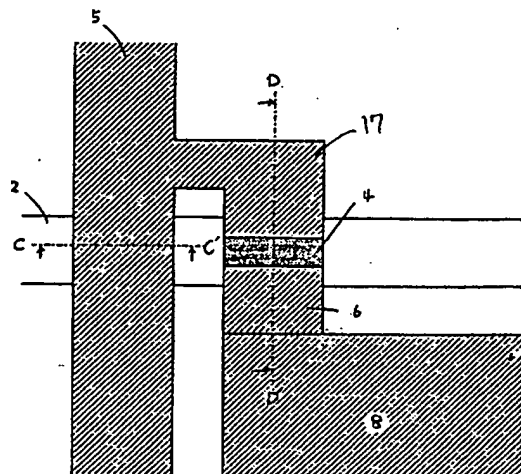
第3D図



第 4 図



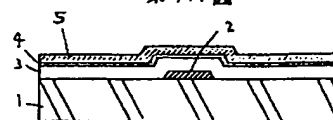
第 5 図



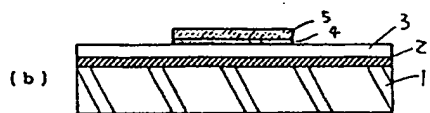
第 6A 図



第 7A 図



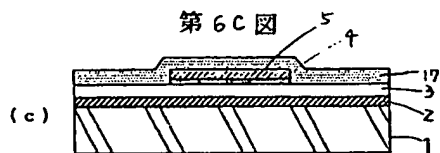
第 6B 図



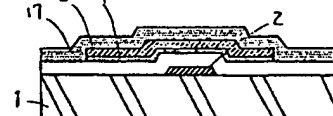
第 7B 図



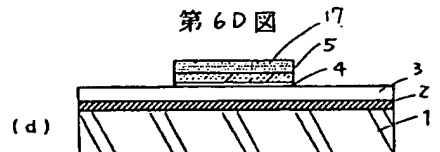
第 6C 図



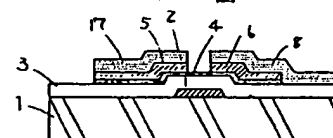
第 7C 図



第 6D 図



第 7D 図



手続補正 (方式)

平成2年1月9日

6、補正の対象

図面

7、補正の内容

(1) 図面の第1図、第2A図ないし第2D図、第3A図ないし第3D図、第4図、第5図、第6A図ないし第6D図、第7A図ないし第7D図を別紙のとおり補正する。

以上

特許庁審査官殿

1、事件の表示

平成1年特許願第 228584 号

2、発明の名称

アクティブマトリクス基板

3、補正をする者

事件との関係 特許出願人

住所 大阪市阿倍野区長池町22番22号

名称 (504) シャープ株式会社

代表者 辻 晴 雄

4、代理人

住所 大阪市北区南森町2丁目1番29号 住友銀行南森町ビル

電話 大阪(06)361-2021(代)

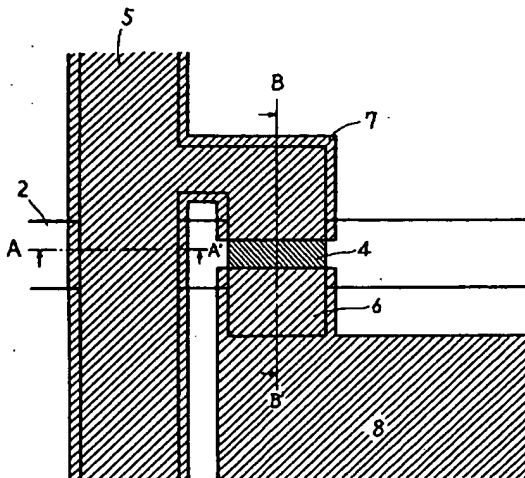
氏名 弁理士(6474) 深見 久 郎

5、補正命令の日付

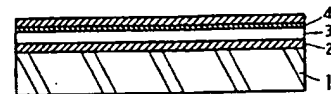
平成1年12月26日



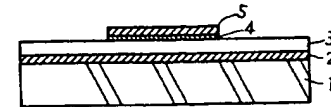
第1図



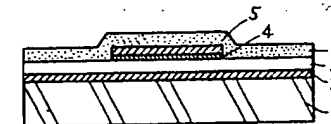
第2A図



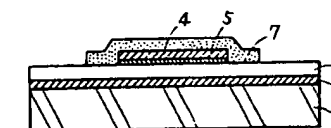
第2B図



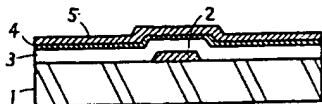
第2C図



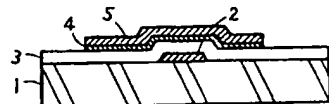
第2D図



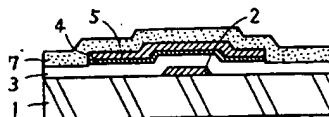
第3A圖



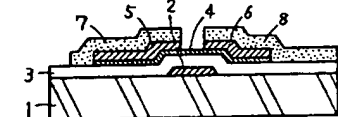
第3B圖



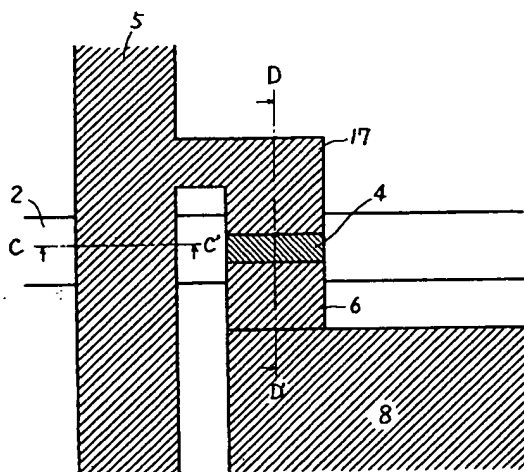
第3C圖



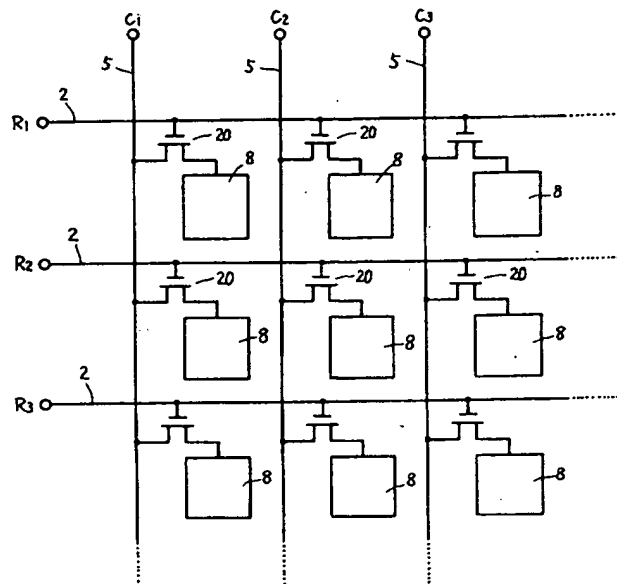
第3D圖



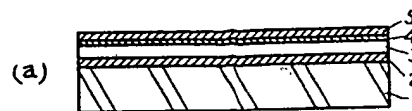
第5圖



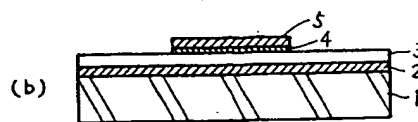
第4圖



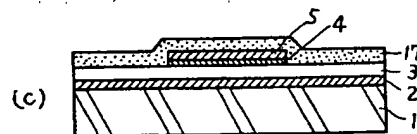
第6A圖



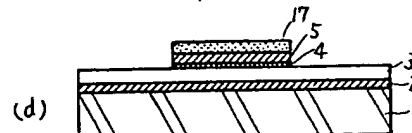
第6B圖



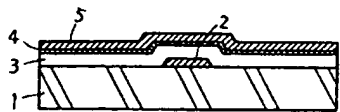
第6C圖



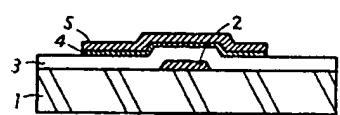
第6D圖



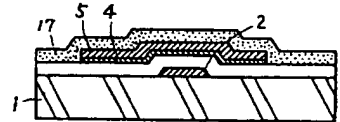
第7A図



第7B図



第7C図



第7D図

